

SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

Patent number: JP1310576
Publication date: 1989-12-14
Inventor: HARADA MANA
Applicant: MITSUBISHI ELECTRIC CORP
Classification:
- international: H01L29/78
- european:
Application number: JP19880141008 19880608
Priority number(s):

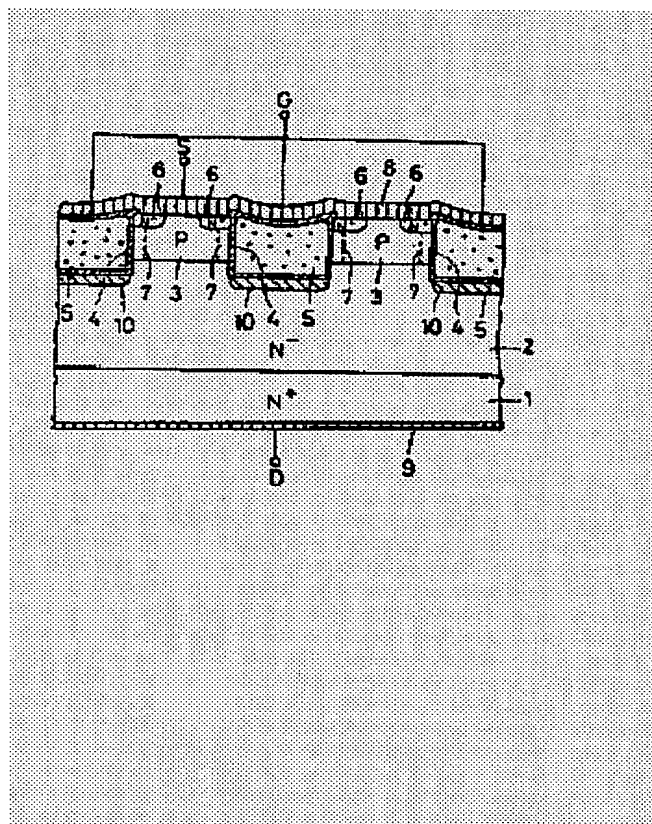
Also published as:

EP0345380 (A2)
EP0345380 (A3)
EP0345380 (B1)

Abstract of JP1310576

PURPOSE: To alleviate the concentration of an electric field in a semiconductor layer near the angle and the base of a groove when a semiconductor device is OFF.

CONSTITUTION: A floating well region 10 of a second conductivity type is provided inside a semiconductor layer 2 of a first conductivity type just under the base of a groove where a gate electrode layer 5 is buried. By this process, the concentration of an electric field at the corner and base of the groove is alleviated when a semiconductor device is OFF, so that a longitudinal channel type semiconductor device of a high breakdown strength can be obtained. And, if it is needed to realize the same breakdown strength, a semiconductor of a low ON-resistance can be obtained by decreasing a semiconductor layer in resistivity.



Data supplied from the *esp@cenet* database - Worldwide

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許出願公告番号

特公平7-83118

(24) (44) 公告日 平成7年(1995)9月6日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/78			H 0 1 L 29/78	3 2 1 V

請求項の数 2 (全 8 頁)

(21) 出願番号	特願昭63-141008	(71) 出願人	999999999 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号
(22) 出願日	昭和63年(1988)6月8日	(72) 発明者	原田 眞名 兵庫県伊丹市瑞原4丁目1番地 三菱電機 株式会社エル・エス・アイ研究所内
(65) 公開番号	特開平1-310576	(74) 代理人	弁理士 高田 守
(43) 公開日	平成1年(1989)12月14日		
		審査官	今井 淳一
		(56) 参考文献	特開 昭61-142775 (J P, A) 特開 昭58-3287 (J P, A) 特開 昭63-288057 (J P, A) 特開 昭55-75267 (J P, A)

(54) 【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項1】 第1導電型の半導体層と、

前記半導体層上に形成された第2導電型の第1の半導体領域とを備え、

前記第1の半導体領域は該第1の半導体領域を貫通し前記半導体層に達する略矩形の溝を有し、

前記溝の表面に形成された絶縁膜と、

前記絶縁膜上に形成され前記溝を埋め込むゲート電極層と、

前記第1の半導体領域の前記溝に隣接する表面内に形成された第1導電型の第2の半導体領域とをさらに備え、
前記第2の半導体領域と前記半導体層との間にありかつ前記溝に隣接する前記第1の半導体領域の部分はチャネル領域として規定され、

前記溝の底面全面直下のみの前記半導体層内に形成され

電氣的にフローティングの状態に保持された第2導電型のフローティング領域と、

前記第1および第2の半導体領域上に形成された第1の電極層と、

前記半導体層の裏面側に設けられる第2の電極層とをさらに備える半導体装置。

【請求項2】 第1導電型の半導体層を準備するステップと、

前記半導体層の表面内に第2導電型のフローティング領域を形成するステップと、

前記半導体層の表面上に第2導電型の第1の半導体領域を形成するステップと、

前記第1の半導体領域に、前記フローティング領域の全上面に達する溝を形成し、前記フローティング領域の前記上面を前記半導体層の表面より低くして電氣的にフロ

ーティングの状態にするステップと、
前記溝の表面に絶縁膜を形成するステップと、
前記第1の半導体領域の前記溝に隣接する表面内に第1導電型の第2の半導体領域を形成するステップとを備え、
前記第2の半導体領域と前記半導体層との間にありかつ前記溝に隣接する前記第1の半導体領域の部分はチャンネル領域として規定され、
前記絶縁膜上にゲート電極層を形成するステップと、
前記第1および第2の半導体領域上に第1の電極層を形成するステップと、
前記半導体層の裏面側に第2の電極層を設けるステップとをさらに備える半導体装置の製造方法。

【発明の詳細な説明】

〔産業上の利用分野〕

この発明は半導体装置に関し、特に、いわゆるUMOSFETなどのように縦方向チャンネルを有する電界効果型のトランジスタの耐圧の改善に関する。

〔従来の技術〕

第10図は、例えば文献「IEEE Transactions Electrical Device, ED-34 (11), p2329, 1987」に示された従来のNチャンネルUMOSFETを示す断面図である。図において、N⁺半導体基板1上にN-エピタキシャル層2が形成されている。これらのN⁺半導体基板1およびN-エピタキシャル層2はドレイン領域として働く。N-エピタキシャル層2上にはPウェル領域3が形成されている。このPウェル領域3は、一般に、N-エピタキシャル層2にP型不純物を拡散することにより形成される。Pウェル領域3にはU形の溝が形成され、この溝内にはゲート絶縁膜4を介して、例えば高濃度に不純物をドーパされたポリシリコンから成るゲート電極5が埋込まれている。ゲート電極5の表面もゲート絶縁膜4により覆われており、埋込みゲート構造となっている。Pウェル領域3の表面にはN⁺ソース領域6が形成される。このN⁺ソース領域6とN-エピタキシャル層（ドレイン領域）2との間にありかつ絶縁膜4に沿ったPウェル領域3の部分7がチャンネル領域として規定される。N⁺ソース領域6およびPウェル領域3に電気的に接続するように表面一面に金属のソース電極8が形成され、またN⁺半導体基板（ドレイン領域）1と電気的に接続するように裏面一面に金属のドレイン電極9が形成される。ゲート電極5、ソース電極8およびドレイン電極9はそれぞれゲート端子G、ソース端子Sおよびドレイン端子Dと接続されている。

次に動作について説明する。ドレイン端子Dが高電位、ソース端子Sが低電位となるように主電圧を印加する。ゲート端子Gの正のバイアスを印加すると、チャンネル領域7に反転層が形成され、N⁺ソース領域6からチャンネル領域7を通してN-エピタキシャル層（ドレイン領域）2に電子電流が流れ、トランジスタはオン状態となる。ゲート端子Gの正のバイアス電圧を除くか、ゲート端子G

を負にバイアスすることにより、チャンネル領域7の反転層は消滅し、トランジスタはオフ状態となる。

このようにチャンネルが縦方向に形成されるUMOSFETでは、チャンネルが横方向に形成されるDMOSFETと比べて次のような利点がある。まず、第1に、UMOSFETでは、1つのゲート電極5とその両側のN⁺ソース領域6を含む1セルユニットの表面積が、DMOSFETのそれよりも小さくでき、セルの高集積化が可能となる。また第2に、DMOSFETで問題となる、ウェルとウェルとの間で生じるJFET効果が、UMOSFETではその構造上存在しないことにより、極めて低いオン抵抗の半導体装置が得られる。

〔発明が解決しようとする課題〕

従来のUMOSFETは以上のように構成されており、埋込みゲート構造を作るため、Pウェル領域3を貫通しN-エピタキシャル層2に達するU形の溝を掘り込まなければならない。素子耐圧は、Pウェル領域3とN-エピタキシャル層2とで形成されるPN接合の逆耐圧として規定される。オフ時には、Pウェル領域3からN-エピタキシャル層2中に空乏層が広がり、ソース、ドレイン端子S、D間の主電圧を維持する。このとき、第11図の円A内に示すように、溝の角部および底部近辺のN-エピタキシャル層2において電界集中を招く。このため、UMOSFETは、低いオン電圧を実現できるけれども、耐圧が低くなるという問題点があった。

このような電界集中を緩和する方策として、第12図に示すように溝の隅の絶縁膜4を曲状に形成する方法も提案されている。しかしながらこの方法では、一般に、ゲート絶縁膜4を比較的厚く形成して溝の隅で円弧状となるようににした後、該ゲート絶縁膜4を所望の厚さにエッチングするものであるため、溝の微細化（例えば3 μ m径）に伴い処理が困難となり、またこの方法によっても、第12図の円B内に示すように、溝底部での電界集中は避けられない。

この発明は上記のような問題点を解消するためになされたもので、電界集中を緩和してより高い耐圧を得ることができる縦方向チャンネルを有する半導体装置およびその製造方法を得ることを目的とする。

〔課題を解決するための手段〕

この発明に係る半導体装置は、第1導電型の半導体層と、前記半導体層上に形成された第2導電型の第1の半導体領域とを備え、前記第1の半導体領域は該第1の半導体領域を貫通し前記半導体層に達する略矩形的の溝を有し、前記溝の表面に形成された絶縁膜と、前記絶縁膜上に形成され前記溝を埋め込むゲート電極層と、前記第1の半導体領域の前記溝に隣接する表面に形成された第1導電型の第2の半導体領域とをさらに備え、前記第2の半導体領域と前記半導体層との間にありかつ前記溝に隣接する前記第1の半導体領域の部分はチャンネル領域として規定され、前記溝の底面全面直下のみの前記半導体層内に形成された第2導電型のフローティング領域と、前

記第1および第2の半導体領域上に形成された第1の電極層と、前記半導体層の裏面側に設けられる第2の電極層とをさらに備えて構成されている。

また、この発明に係る半導体装置の製造方法は、第1導電型の半導体層を準備するステップと、前記半導体層の表面内に第2導電型のフローティング領域を形成するステップと、前記半導体層の表面上に第2導電型の第1の半導体領域を形成するステップと、前記第1の半導体領域に、前記フローティング領域の全上面に達する溝を形成し、前記フローティング領域の前記上面を前記半導体層の表面より低くするステップと、前記溝の表面に絶縁膜を形成するステップと、前記第1の半導体領域の前記溝に隣接する表面内に第1導電型の第2の半導体領域を形成するステップとを備え、前記第2の半導体領域と前記半導体層との間にありかつ前記溝に隣接する前記第1の半導体領域の部分はチャネル領域として規定され、前記絶縁膜上にゲート電極層を形成するステップと、前記第1および第2の半導体領域上に第1の電極層を形成するステップと、前記半導体層の裏面側に第2の電極層を設けるステップとをさらに備えて構成されている。

〔作用〕

この発明におけるフローティング領域は、半導体装置がオフのときの、溝の角部および底部近辺の半導体層での電界集中を緩和する。

〔実施例〕

第1図は、この発明による半導体装置の一実施例であるNチャネルUMOSFETを示す断面図である。図において、第10図に示す従来のNチャネルUMOSFETとの相違点は、ゲート電極5が埋込まれている略矩形的の溝の底面全面直下のみに、ウェル領域3と同じP型の不純物拡散層（以下フローティングウェル領域という）10を設けたことである。その他の構造は第10図に示す従来のNチャネルUMOSFETと同じである。

次に第1図に示すNチャネルUMOSFETの製造手順を、第2図を参照しつつ説明する。まず第2A図に示すように、N⁺半導体基板1上にN⁺エピタキシャル層2をエピタキシャル成長する。これらのN⁺半導体基板1およびN⁺エピタキシャル層2はドレイン領域として働く。次に第2B図に示すように、N⁺エピタキシャル層2の表面に、該表面に酸化膜11を形成し、さらにその上に所定の形状にパターニングされたレジスト12を形成する。そして、矢印に示すように、レジスト12をマスクとしてP型不純物をN⁺エピタキシャル層2に選択的にイオン注入し、さらに熱処理を施して注入イオンを拡散させることによりフローティングウェル領域10を形成する。

次に第2C図に示すように、酸化膜11およびレジスト12を除去し、N⁺エピタキシャル層2上にP形のエピタキシャル層14をエピタキシャル成長させる。次に第2D図に示すように、Pエピタキシャル層14の表面に、該表面に酸化膜15を形成し、さらにその上に所定の形状にパターニン

グされたレジスト16を形成する。そして、矢印に示すように、レジスト16をマスクとしてN型不純物をPエピタキシャル層14に選択的にイオン注入し、さらに熱処理を施して注入イオンを拡散させることによりN⁺領域17を形成する。このときの熱処理により、点線で示すように、フローティングウェル領域10のP型不純物イオンが若干、Pエピタキシャル層14に拡散する。

次に、第2E図に示すように、酸化膜15およびレジスト16を除去し、Pエピタキシャル層14の表面に前記酸化膜15よりも厚い酸化膜18を形成しパターニングする。そして、パターニングされた酸化膜18をマスクとして異方性エッチングを行い、フローティングウェル領域10の上方のPエピタキシャル層14の表面部分から該Pエピタキシャル層14を貫通してフローティングウェル領域10に達するU形の溝19を掘り込む。結果として残ったPエピタキシャル層14の部分がPウェル領域3となり、N⁺領域17の部分がN⁺ソース領域6となる。溝19は、N⁺エピタキシャル層2とPウェル領域3との界面により数 μm 程度、N⁺エピタキシャル層2の側に入ったところまで形成され、結果としてフローティングウェル領域10とPウェル領域3とは分離される。またフローティングウェル領域10は溝19の底面全面のみを覆い、その厚みは隣接するPウェル領域3及び隣接するフローティングウェル領域10との間でJFET効果が生じない程度に選ばれる。溝19によりフローティングウェル領域10の全上面を削って掘り下げることによりフローティングウェル領域10を溝19の底面直下のN⁺エピタキシャル層2内に埋め込んでいるので、次のような利点がある。すなわち、まず、元々必要な溝19を形成するだけでフローティングウェル領域10の埋め込みも同時に完了するので、フローティングウェル領域10の埋め込みのための特別な工程を必要としない。次に、溝19の底面直下のみにフローティングウェル領域10が存在することが確実なものとなる。例えば溝19の底面からの拡散によりフローティングウェル領域10を形成しようとすれば、横方向への拡散によりフローティングウェル領域10は溝19の底面よりも広範囲に広がってしまう。次に、第2F図に示すように、熱酸化により溝内全面にゲート絶縁膜4を形成する。続いて第2G図に示すように、CVD法などにより、例えば不純物をドーブしたポリシリコン層21を堆積し、溝19を埋込む。そして第2H図に示すように、エッチバック法などの平坦化技術により平面を平坦化し、溝内のみポリシリコン層21を残す。この残されたポリシリコン層21がゲート電極5となる。また熱酸化を行い、表面全面を絶縁膜20により覆う。しかる後、Pウェル領域3上の絶縁膜20を除去し、メタライズ処理を施して表面にソース電極8、裏面にドレイン電極9を形成することにより、第1図に示す構造のUMOSFETを得る。

このUMOSFETのフローティングウェル領域10は、ブレーナ高耐圧素子に用いられるフィールドリミットングリ

ングと同様に作用する。すなわち、このUMOSFETのオフ時に、Pウェル領域3から延びる空乏層がフローティングウェル領域10を越えてN-エピタキシャル層2内に広がるとき、フローティングウェル領域10からN-エピタキシャル層2内に延びる空乏層の働きにより、第3図の円CおよびD内に示すように、フローティングウェル領域10の端部および底面での電界集中が緩和され、電界強度が弱められる。その結果、UMOSFETの耐圧が向上する。またフローティングウェル領域10は、チャネル領域7を流れる電流の流れの方向に対しては、何ら電流の流れを阻害することのない位置に設けられているので、フローティングウェル領域10の存在によりオン電圧が上昇する等の不都合が生じることはない。

第4図は電界分布をシミュレートした結果を示す図であり、このうち第4A図はフローティングウェル領域10の有る場合、第4B図は無い場合のものである。シミュレーションは第5図に示す構造に基づいて行った。ゲート端子Gとソース端子Sは接地し、ドレイン端子Dの印加電圧は30Vとした。第4A図の円E1およびF1内と、第4B図の円E2およびF2内を比較すると明らかなように、フローティングウェル領域10がある場合の方が溝の端部および底部

$$R_{CH} = \frac{L}{W} \cdot \frac{1}{\mu_n \cdot \epsilon_{si}} \cdot \frac{T_{ox}}{V_G - V_{th}}$$

で表わされる。この式で明らかなように、チャネル抵抗は、ゲートチャネル長Lに比例し、電子移動度 μ_n を通じてチャネル領域の不純物濃度の影響を受ける。従って、エピタキシャル成長法を用いてPウェル領域3を形成することにより、チャネル長およびチャネル領域の不純物濃度の制御性が向上する効果、オン電圧を低減する為の素子設計が容易になる。

第8図はこの発明による半導体装置の他の実施例であるNチャネルVMOSFETを示す断面図である。第1図に示すNチャネルUMOSFETとの相違点は、ゲート電極5がU形の溝でなくV形の溝に埋込まれていること、および、フローティングウェル領域10がV形の溝の底部頂点付近に形成されていることである。VMOSFETは縦方向チャネル構造MOSFETの一種であり、チャネル領域7はV形の溝の側面に沿って斜めに規定される。VMOSFETにおいても、フローティングウェル領域10を設けることにより、UMOSFETの場合と同様に耐圧が向上する。

第9図は第8図に示すVMOSFETの製造工程を示す断面図であり、そのうち第9A図の工程は前述したUMOSFETの第2D図の工程に対応し、第9B図の工程は第2E図の工程に対応する。第9A図において、フローティングウェル領域10は比較的狭い範囲で形成されている。また第9B図において、溝19は等方性エッチングによりV形に形成される。その他の製造手順は第2図に示すUMOSFETの製造手順と同様である。

近辺のN層内での電界集中が緩和されている。

第6図は、上記シミュレーション結果を、第7図の $x = 4.0 \mu m$ の位置（すなわち溝側壁近傍）で、y方向（すなわち深さ方向）に沿って示したものである。第6図の実線および点線はそれぞれフローティングウェル領域10がある場合および無い場合の電界強度（V/cm²）を示す。y = 5.0 μm 近傍において顕著な差が見られ、フローティングウェル領域10の働きにより、フローティングウェル領域10の端部での電界強度が弱くなっていることが明らかである。

第2図に示した製造方法では、従来、表面からの拡散により形成していたPウェル領域3を、エピタキシャル成長法により形成している。このことは、Pウェル領域3の厚みおよび不純物濃度、つまりチャネル長およびチャネル領域の不純物濃度の制御性の向上につながる。低オン抵抗UMOSFETでは、チャネル抵抗がオン電圧を決定する大きな要因となっている。一般にMOS構造におけるチャネル抵抗 R_{ch} は、ゲートチャネル長をL、チャネル幅をW、表面の電子移動度を μ_n 、シリコン誘電率を ϵ_{si} 、ゲート酸化膜厚を T_{ox} 、ゲートバイアス電圧を V_G 、ゲートしきい値電圧を V_{th} とすると、

なお、上記実施例では、縦方向チャネル構造のNチャネルMOSFETについて説明したが、この発明は縦方向チャネル構造のPチャネルMOSFETにも同様に適用できることは勿論である。またMOS構造を有する電界効果型のトランジスタである絶縁ゲート型バイポーラトランジスタなどにおいても、セルの高集積化に伴い縦方向チャネル構造が採用される可能性があり、その場合にもこの発明によるフローティングウェル構造が適用できる。

〔発明の効果〕

以上説明したように、この発明によれば、ゲート電極層が埋込まれる溝の底面全面直下のみ第1導電型の半導体層内に第2導電型のフローティングウェル領域を設けたので、半導体装置のオフ時に溝の角部や底部での電界集中が緩和され、高い耐圧の縦方向チャネル型半導体装置を得ることができる。また同じ耐圧を実現するのであれば、この発明においては半導体層の比抵抗を下げることににより、より低オン抵抗の半導体装置が得られる。

【図面の簡単な説明】

第1図はこの発明による半導体装置の一実施例であるUMOSFETを示す断面図、第2A図から第2H図は第1図のUMOSFETの製造手順を示す断面図、第3図は電界集中の緩和の様子を示す断面図、第4A図および第4B図はシミュレーション結果を示す図、第5図はシミュレーションの条件を示す図、第6図はシミュレーション結果を示すグラフ、第7図は第6図のグラフの座標のとり方を示す図、第8

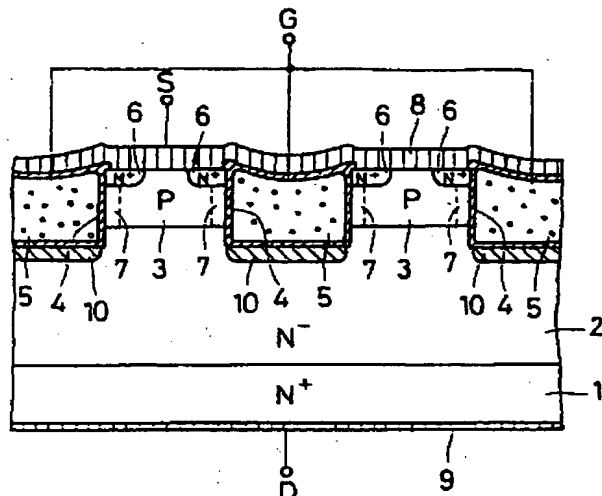
図はこの発明による半導体装置の他の実施例であるVMOSFETを示す断面図、第9A図および第9B図は第8図のVMOSFETの製造手順を示す断面図、第10図は従来のUMOSFETを示す断面図、第11図および第12図は電界集中の様子を示す図である。

図において、1は半導体基板、2はエピタキシャル層、

3はウェル領域、4はゲート絶縁膜、5はゲート電極、6はソース領域、7はチャネル領域、8はソース電極、9はドレイン電極、10はフローティングウェル領域である。

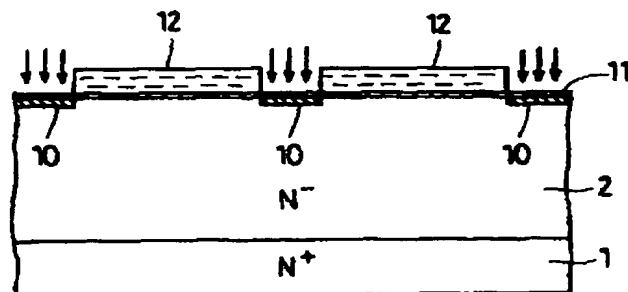
なお、各図中同一符号は同一または相当部分を示す。

【第1図】

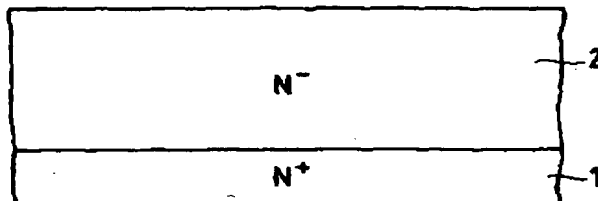


- 1 : 半導体基板
- 2 : エピタキシャル層
- 3 : ウェル領域
- 4 : ゲート絶縁膜
- 5 : ゲート電極
- 6 : ソース領域
- 7 : チャネル領域
- 8 : ソース電極
- 9 : ドレイン電極
- 10 : フローティングウェル領域

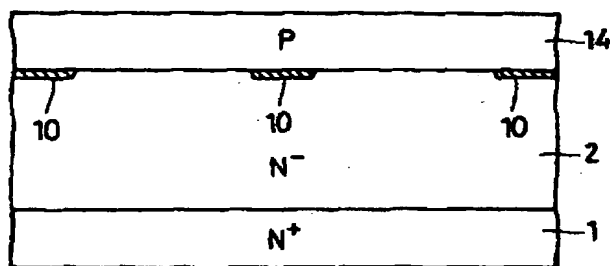
【第2B図】



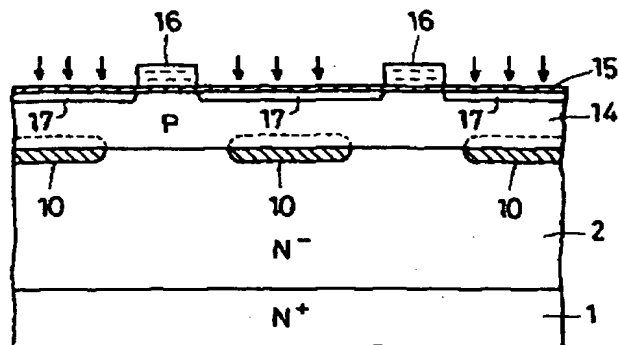
【第2A図】



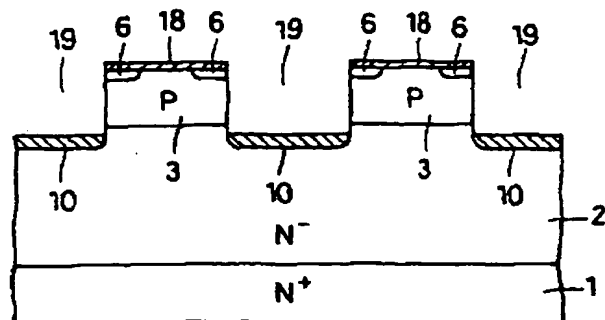
【第2C図】



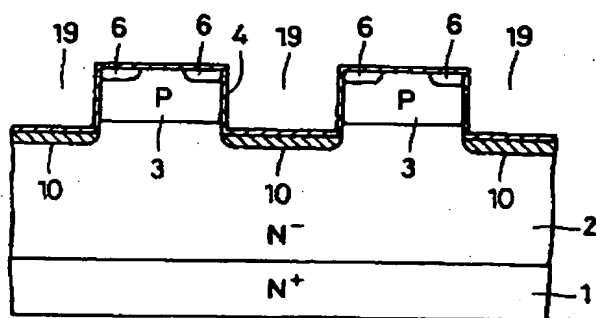
【第2D図】



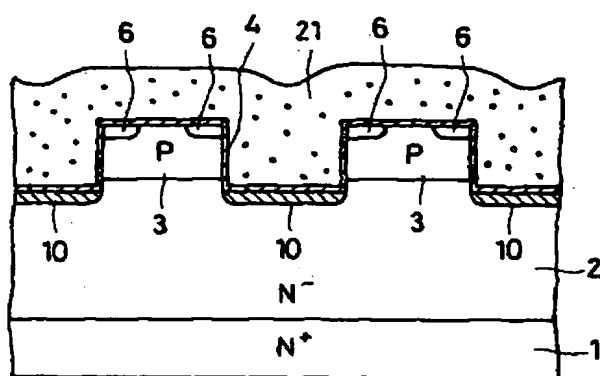
【第2E図】



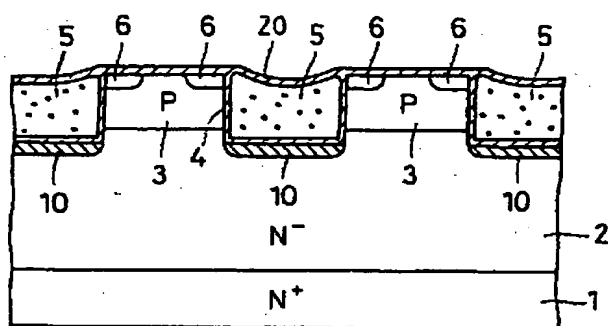
【第2F図】



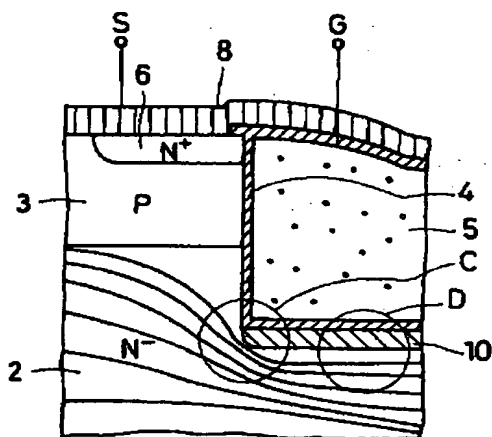
【第2G図】



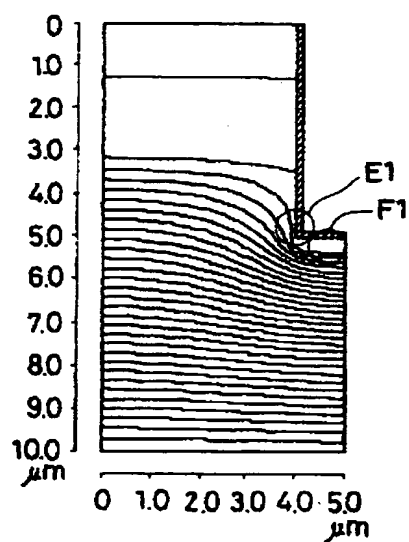
【第2H図】



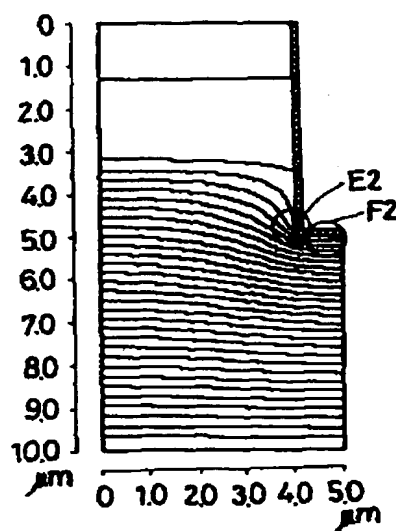
【第3図】



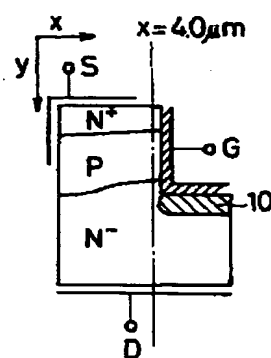
【第4A図】



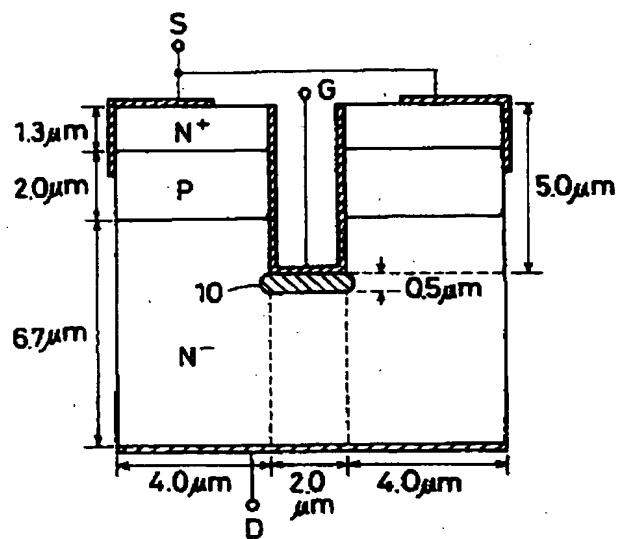
【第4B図】



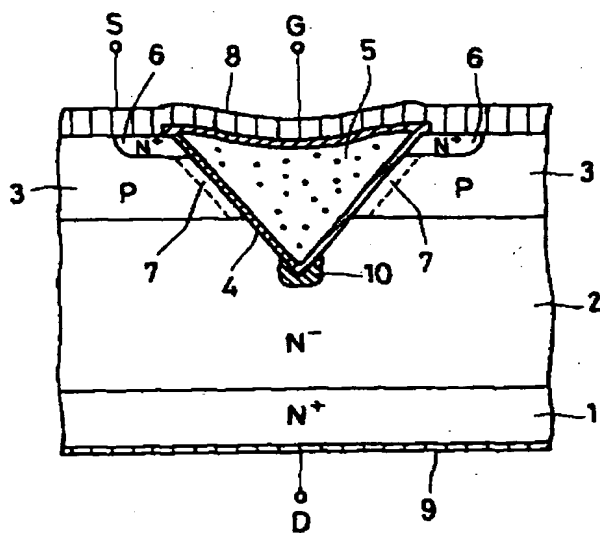
【第7図】



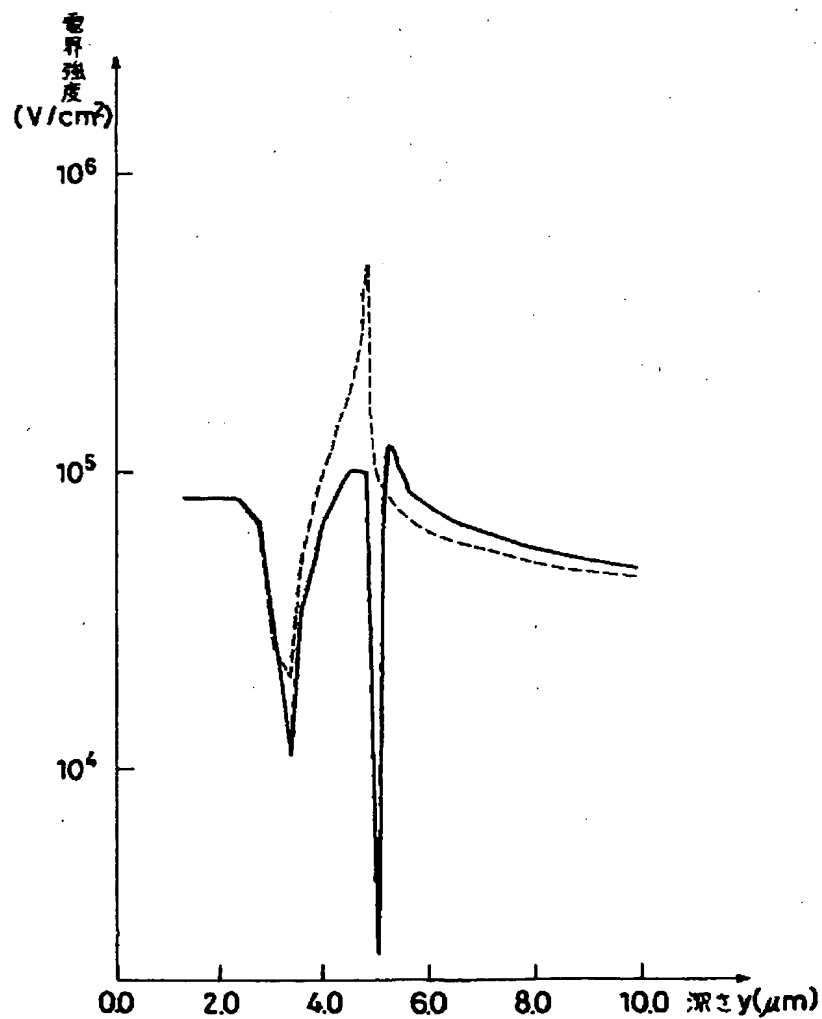
【第5図】



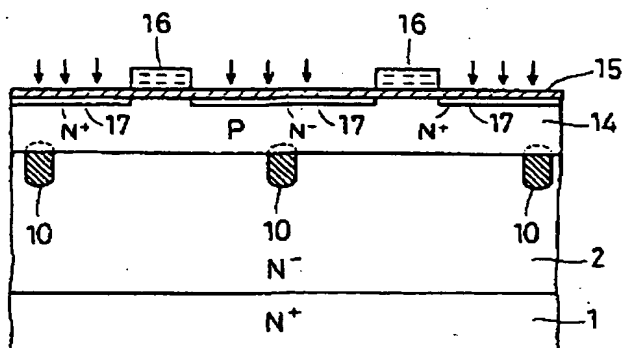
【第8図】



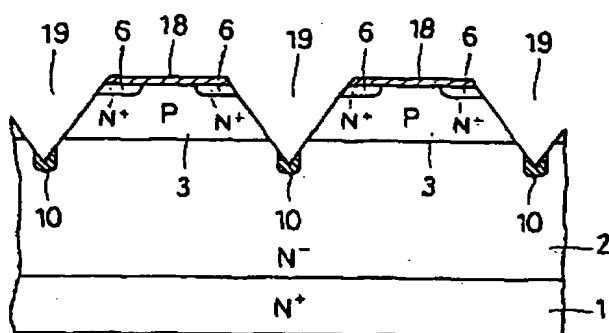
【第6図】



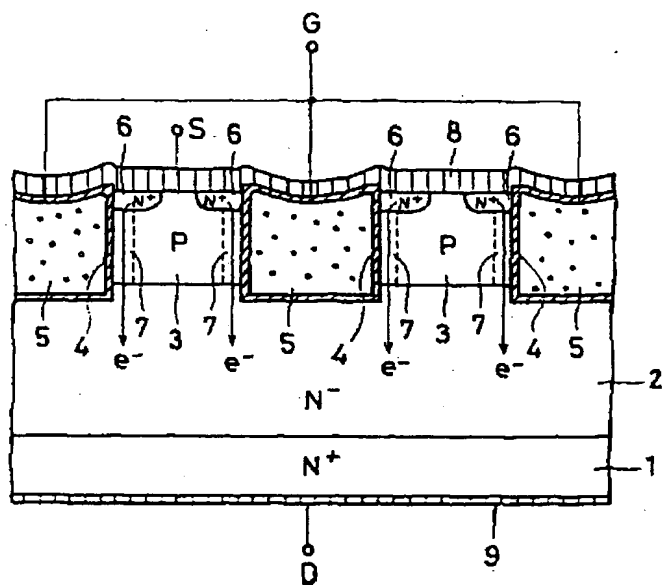
【第9A図】



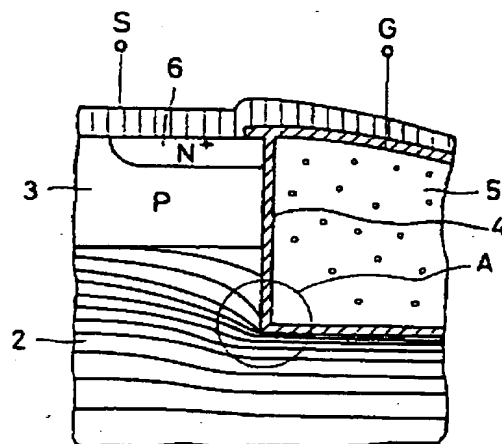
【第9B図】



【第10図】



【第11図】



【第12図】

